

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 12 月 12 日 (12.12.2002)

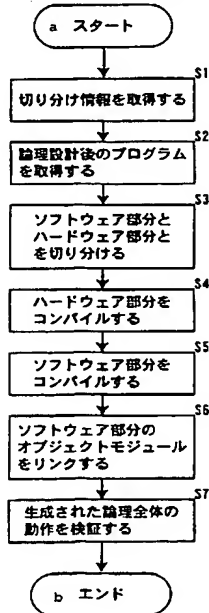
PCT

(10) 国際公開番号
WO 02/099704 A1

- (51) 国際特許分類⁷: G06F 17/50 (HANMA, Kentaro) [JP/JP]; 〒155-0031 東京都世田谷区北沢3-5-18 株式会社 鷹山内 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/04533
- (22) 国際出願日: 2001 年 5 月 30 日 (30.05.2001) (74) 代理人: 渡辺秀治, 外(WATANABE, Hideharu et al.); 〒160-0023 東京都新宿区西新宿4丁目32番11号 新宿セントビラ永谷213号 Tokyo (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語 (81) 指定国 (国内): JP, US.
- (71) 出願人 (米国を除く全ての指定国について): 株式会社 鷹山 (YOZAN INC.) [JP/JP]; 〒155-0031 東京都世田谷区北沢3-5-18 Tokyo (JP).
- (72) 発明者; および 添付公開書類:
(75) 発明者/出願人 (米国についてのみ): 半間謙太郎 — 国際調査報告書
- 2 文字コード及び他の略語については、定期発行される各 PCT ガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(54) Title: SYSTEM DEVELOPMENT SUPPORTING APPARATUS, SYSTEM DEVELOPMENT SUPPORTING METHOD, AND COMPUTER-READABLE RECORDED MEDIUM

(54) 発明の名称: システム開発支援装置、システム開発支援方法、およびコンピュータ読み取り可能な記録媒体



a...START
S1...ACQUIRE SEGMENTATION INFORMATION
S2...ACQUIRE PROGRAM AFTER LOGIC DESIGN
S3...SEGMENT PROGRAM INTO SOFTWARE PART AND HARDWARE PART
S4...COMPILE HARDWARE PART
S5...COMPILE SOFTWARE PART
S6...LINK OBJECT MODULES OF SOFTWARE PART
S7...VERIFY OPERATION OF THE WHOLE CREATED LOGICS
b...END

(57) Abstract: A program in which the logical specifications of a system is described in a single high-level language is segmented into a hardware part and a software part according to segmentation information for specifying a portion of the program as the one to be included in the hardware or software part, and the hardware and software parts are stored separately (S1-S3). The stored hardware part of the program is converted into circuit specifications (S4). The stored software part is converted into an execution form module (S5, S6). The circuit specifications and the operation of the execution form module are verified on the basis of the verification specifications corresponding to the logical specifications of the system (S7).



(57) 要約:

プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分に切り分け、それぞれを記憶手段に記憶させる（S 1 ～ S 3）。記憶されたハードウェア部分のプログラムを回路仕様に変換する（S 4）。記憶されたソフトウェア部分のプログラムを実行形式モジュールに変換する（S 5 ～ S 6）。システムの論理仕様に対応する検証仕様に基づいて、変換された回路仕様および実行形式モジュールの動作を検証する（S 7）。

明 細 書

システム開発支援装置、システム開発支援方法、および
5 コンピュータ読み取り可能な記録媒体

技術分野

本発明は、ハードウェア部分とソフトウェア部分とが混在するシステム
10 ムを開発する際に使用されるシステム開発支援装置、システム開発支援
方法およびコンピュータ読み取り可能な記録媒体に関するものである。

背景技術

例えば携帯電話機といった電子機器を開発する際には、その機能をハ
15 ードウェアとソフトウェアの両方を利用して実現することが多い。

第7図は、ハードウェア部分とソフトウェア部分とが混在する電子機器
内のシステム101の一例を示すブロック図である。

第7図に示すシステム101において、MPU (Micro Processing
Unit) 111は、システム101のソフトウェア部分としてROM 11
20 3、RAM 114およびフラッシュROM 115に記憶されたプログラ
ムを実行する演算装置である。

また、DSP (Digital Signal Processor) 112は、特定の処理を
ハードウェアとして実現した回路である。

さらに、ROM 113は、プログラムやデータを予め記憶しているメモ
25 リである。RAM 114は、プログラム実行時に、そのプログラムや
データなどを一次的に記憶するメモリである。フラッシュROM 115

は、不揮発性のメモリであって、製品出荷後にその内容を書き換え可能なメモリである。

さらに、レジスタ群 1 1 6 は、プログラム実行時に各種データを保持する回路である。

5 さらに、ゲートアレイ 1 1 7 は、システム 1 0 1 のハードウェア部分として実装される論理回路である。

さらに、周辺回路 1 1 8 は、例えば図示せぬ周辺装置の制御や他の装置とのデータの授受などを行う回路である。

10 このようなシステム 1 0 1 を有する電子機器では、周辺回路 1 1 8 により得られた情報やユーザの指令に応じた処理を、MPU 1 1 1 がプログラムに従って実行したり、ゲートアレイ 1 1 7 が実行したり、あるいは、両者が連携して実行したりする。

15 次に、このようなシステム 1 0 1 を開発する際の、従来のシステム開発方法について説明する。第 8 図は、従来のシステム開発方法を説明するフローチャートである。

20 まず、従来のシステム開発方法では、電子機器のシステム 1 0 1 に所望される機能、その機能のうちのハードウェアとして実現する部分およびソフトウェアとして実現する部分の指定、並びに、使用する CPU コア、ゲートアレイの種類などを含む基本仕様が、文章や図面として策定される（ステップ S 1 0 1）。このような基本仕様のうち、ハードウェアとして実現する部分およびソフトウェアとして実現する部分の指定、並びに、使用する CPU コア、ゲートアレイの種類などを決定するには様々な知識が必要であるため、それらの決定は、高度な知識を有する熟練者
25 により行われることが多い。

次に、基本仕様のうちのソフトウェア部分に対応する論理仕様が、ソ

ソフトウェア開発者により、C言語などの高級言語でプログラムとして記述される（ステップS 1 1 1）。そして、このプログラムがコンパイルされて、オブジェクトモジュールが生成される（ステップS 1 1 2）。さらに、このオブジェクトモジュールに、必要に応じてライブラリ内のモジュールをリンクして、実行形式モジュールを生成する（ステップS 1 1 3）。

一方、基本仕様のうちのハードウェア部分に対応する論理仕様が、ハードウェア開発者により、HDL（Hardware Description Language）などの言語でプログラムとして記述される（ステップS 1 2 1）。そして、このプログラムがコンパイルされて（ステップS 1 2 2）、RTL（Register Transfer Level）などの言語で回路仕様を記述したプログラムが生成され、この回路仕様を記述したプログラムから回路レイアウトが生成される（ステップS 1 2 3）。

このように、ソフトウェア部分の論理仕様からシステム101のソフトウェア部分が生成され、ハードウェア部分の論理仕様からシステム101のハードウェア部分が生成される。

そして、予め基本仕様から生成された検証プログラムを使用して、このシステム101のソフトウェア部分とハードウェア部分の検証が実行される（ステップS 1 1 4、ステップS 1 2 4）。

ソフトウェア部分とハードウェア部分の検証結果のそれぞれが良好であるか否か、すなわち、仕様どおりに動作しているか否かが判断される（ステップS 1 1 5、ステップS 1 2 5）。

検証結果が良好ではない場合、その検証結果に応じて、ソフトウェアの論理設計の段階（ステップS 1 1 1）やハードウェアの論理設計の段階（ステップS 1 2 1）に戻り、それぞれ、論理設計を修正したり、場合によっては基本設計を変更したりする。

そして、ソフトウェア部分およびハードウェア部分ともに良好な検証結果が得られるまで、ソフトウェア開発者とハードウェア開発者とが、試行錯誤を繰り返して、論理設計あるいは基本設計を修正していく。

5 この際、ソフトウェア開発者は、ソフトウェアに比べハードウェアについての知識をあまり持っておらず、反対に、ハードウェア開発者は、ハードウェアに比べソフトウェアについての知識をあまり持っていないために、ソフトウェア開発者とハードウェア開発者との協調作業が難しく、この修正には、一般的に多くに時間が必要とされる。

10 そして、最終的に良好な検証結果が得られた後、得られたシステムの論理に基づいて、システム 101 が IC チップとして生成される（ステップ S 102）。

しかしながら、従来のシステム開発方法では、上述のように、ソフトウェア開発者とハードウェア開発者との協調作業が難しく、この設計の
15 修正に多くの時間が必要とされるため、システムの完成までの時間が長くなってしまうという問題がある。

本発明は、上記の問題を解決するためになされたものであり、システムの完成までの時間の短縮を可能にするためのシステム開発支援装置、
20 システム開発支援方法およびコンピュータ読み取り可能な記録媒体を得ることを目的とする。

発明の開示

25 本発明のシステム開発支援装置は、プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づ

いて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分ける切り分け手段と、その切り分け手段により切り分けられたハードウェア部分のプログラムおよびソフトウェア部分のプログラムを記憶する記憶手段と、その
5 記憶手段に記憶されたハードウェア部分のプログラムを回路仕様に変換する第1の変換手段と、その記憶手段に記憶されたソフトウェア部分のプログラムを実行形式モジュールに変換する第2の変換手段とを備えている。

このシステム開発支援装置を利用すると、ハードウェア部分とソフトウェア部分とが混在するシステムの完成までの時間を短縮することができる。
10

さらに、本発明のシステム開発支援装置は、上記発明のシステム開発支援装置に加え、切り分け手段が、切り分け情報に基づいて、単一の高
15 級言語で記述されているプログラムの機能ブロックごとに、ハードウェアとして実装する部分であるか、ソフトウェアとして実装する部分であるかを決定するようにしたものである。

このシステム開発支援装置を利用すると、さらに、ハードウェアとして実装する部分と、ソフトウェアとして実装する部分とを適切に切り分
20 けることができる。

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、システムの仕様に基づいて切り分け情報を生成する切り分け情報生成手段を備えている。

25 このシステム開発支援装置を利用すると、さらに、システム開発者が熟練者でなくても適切な切り分け情報を生成することができる。

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、切り分け情報生成手段が、システムにおいて実行形式モジュールが記憶されるメモリの容量、およびシステムにおいて回路仕様に基づく回路が実行されるゲートアレイのゲート数に基づいて、あるいは、メモリの容量およびゲート数とともに、システムにおいて使用されるCPUコアの種類、システムにおいて使用されるDSPの機能、使用可能なハードウェアマクロおよび使用可能なソフトウェアマクロの少なくとも1つに基づいて、切り分け情報を生成するようにしたものである。

このシステム開発支援装置を利用すると、さらに、システムの仕様におけるこれらのパラメータに基づいて切り分け情報を生成することで、より適切な切り分け情報を生成することができる。

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、第1の変換手段により変換された回路仕様に基づく回路、および第2の変換手段により変換された実行形式モジュールの動作を検証する検証手段を備えている。

このシステム開発支援装置を利用すると、さらに、論理仕様を記述された目標プログラムから生成されたシステムの論理全体が一括して検証され、ハードウェア部分およびソフトウェア部分のそれぞれの動作検証に加え、両者の協調に基づく動作についての検証をも行うことができる。

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、検証手段による検証結果に応じて、切り分け情報を変更する切り分け情報変更手段を備えている。

このシステム開発支援装置を利用すると、さらに、システム開発者による切り分け情報の設定／変更の頻度が減少し、特に希少な熟練者の作業量を低減することができるとともに、システムの開発に要する時間をより短くすることができる。

5

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、切り分け情報変更手段が、検証手段による検証結果に応じて、ハードウェア部分とソフトウェア部分との比率を変更するようにしたものである。

10 このシステム開発支援装置を利用すると、さらに、システムのハードウェア条件（メモリ容量やゲート数など）を特に変更せずに、そのハードウェア条件に合致した回路が設計される。

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、検証手段による検証結果に応じて、システムのハードウェア条件を変更する第1の条件変更手段を備え、第1の変換手段が、システムのハードウェア条件に応じて、ハードウェア部分のプログラムを回路仕様に変換するようにしたものである。

20 このシステム開発支援装置を利用すると、さらに、システム開発者によるハードウェア条件の変更頻度が減少し、特に希少な熟練者の作業量を低減することができるとともに、システムの開発に要する時間をより短くすることができる。

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、第1の条件変更手段が、検証手段による検証結果に応じて、ハードウェア部分とソフトウェア部分との間の信号の入出力タ

25

イミングを変更するようにしたものである。

このシステム開発支援装置を利用すると、さらに、ハードウェア部分とソフトウェア部分との間における信号伝達に起因する動作不良を回避することができる。

5

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、検証手段による検証結果に応じて、第2の変換手段がソフトウェア部分のプログラムを実行形式モジュールに変換する際のコンパイル条件を変更する第2の条件変更手段を備えている。

10

このシステム開発支援装置を利用すると、さらに、システム開発者によるソフトウェアのコンパイル条件の変更頻度が減少し、特に希少な熟練者の作業量を低減することができるとともに、システムの開発に要する時間をより短くすることができる。

15

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、第2の条件変更手段が、検証手段による検証結果に応じて、システムにおいて使用されるCPUコアの種類を変更するようにしたものである。

このシステム開発支援装置を利用すると、さらに、ソフトウェア部分
20 全体の動作速度を調節することができる。

さらに、本発明のシステム開発支援装置は、上記各発明のシステム開発支援装置に加え、所定の検証結果が得られるまで、あるいは、所定の反復回数だけ、切り分け情報、第1の変換手段がハードウェア部分のプログラムを回路仕様に変換する際のハードウェアの条件、および第2の変換手段がソフトウェア部分のプログラムを実行形式モジュールに変換
25

する際のコンパイル条件のうちの少なくとも1つを変更しつつ、切り分け手段、第1の変換手段、第2の変換手段および検証手段を繰り返し動作させる最適化手段を備えている。

このシステム開発支援装置を利用すると、さらに、システム開発者による切り分け情報の設定／変更の頻度が減少し、特に希少な熟練者の作業量を低減することができるとともに、システムの開発に要する時間をより短くすることができる。

本発明のシステム開発支援方法は、プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分け、そのハードウェア部分のプログラムおよびそのソフトウェア部分のプログラムを記憶手段に記憶させるステップと、その記憶手段に記憶された上記ハードウェア部分のプログラムを回路仕様に変換するステップと、その記憶手段に記憶された上記ソフトウェア部分のプログラムを実行形式モジュールに変換するステップとを備えている。

このシステム開発支援方法を利用すると、ハードウェア部分とソフトウェア部分とが混在するシステムの完成までの時間を短縮することができる。

本発明のコンピュータ読み取り可能な記録媒体に記録されたシステム開発支援プログラムは、プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分け、そのハードウェア部分のプ

プログラムおよびそのソフトウェア部分のプログラムを記憶手段に記憶させる切り分け手段、記憶手段に記憶された上記ハードウェア部分のプログラムを回路仕様に変換する第1の変換手段、並びに、記憶手段に記憶された上記ソフトウェア部分のプログラムを実行形式モジュールに変換する第2の変換手段としてコンピュータを機能させる。

このシステム開発支援プログラムを利用すると、ハードウェア部分とソフトウェア部分とが混在するシステムの完成までの時間を短縮することができる。

10 本発明のコンピュータ読み取り可能な記録媒体に記録された切り分けプログラムは、プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分け、そのハードウェア部分のプログラム
15 およびそのソフトウェア部分のプログラムを記憶手段に記憶させる切り分け手段としてコンピュータを機能させる。

この切り分けプログラムを利用すると、ハードウェア部分とソフトウェア部分とが混在するシステムの論理仕様を単一の高級言語で記述することが可能になり、システムの開発効率が向上する。

20

図面の簡単な説明

第1図は、本発明の実施の形態1に係るシステム開発支援装置の構成を示すブロック図である。

25 第2図は、第1図に示すシステム開発支援装置の動作について説明するフローチャートである。

第 3 図は、実施の形態 1 のシステム開発支援装置を使用した場合のシステムの開発の手順について説明するフローチャートである。

第 4 図は、本発明の実施の形態 2 に係るシステム開発支援装置の構成を示すブロック図である。

5 第 5 図は、本発明の実施の形態 3 に係るシステム開発支援装置の構成を示すブロック図である。

第 6 図は、第 5 図に示すシステム開発支援装置の動作について説明するフローチャートである。

10 第 7 図は、ハードウェア部分とソフトウェア部分とが混在する電子機器内のシステムの一例を示すブロック図である。

第 8 図は、従来のシステム開発方法を説明するフローチャートである。

発明を実施するための最良の形態

15 以下、本発明の実施の形態を図面に基づいて具体的に説明する。

実施の形態 1 .

第 1 図は、本発明の実施の形態 1 に係るシステム開発支援装置の構成を示すブロック図である。

20 第 1 図において、コンピュータ 1 は、システム開発支援プログラム 2 1 を実行してシステム開発支援装置として機能する装置である。また、ディスプレイ 2 は、コンピュータ 1 の描画回路 1 6 からの信号に応じた画像を表示する装置である。さらに、入力装置 3 は、キーボード、マウスなどといった開発者により操作され、その操作に応じた信号をコンピュータ 1 に供給する装置である。

25 コンピュータ 1 において、CPU 1 1 は、図示せぬオペレーティングシステム、システム開発支援プログラム 2 1 などのプログラムを実行す

るものである。また、ROM 12は、コンピュータ1の起動に必要なデータやプログラムなどを予め記憶したメモリであり、RAM 13は、システム開発支援プログラム21などのプログラムの実行中に、そのプログラムやデータを一時的に記憶する記憶手段としてのメモリである。

5 さらに、ハードディスクドライブ（以下、HDDという）14は、システム開発支援プログラム21や、その他、図示せぬオペレーティングシステムなどを格納する記録媒体を有する装置である。なお、これらのプログラムを格納しておく記録媒体は、磁気記録媒体であるHDDに限定されるものではなく、可搬性のあるフレキシブルディスク、コンパクトディスクといった磁気ディスク、光ディスク、光磁気ディスクなどでもよい。

10 HDD 14に格納されたシステム開発支援プログラム21は、切り分けプログラム31、コンパイラプログラム32、コンパイラプログラム33、リンカプログラム34および検証プログラム35を含むプログラムである。

この切り分けプログラム31は、プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分け、そのハードウェア部分のプログラムおよびそのソフトウェア部分のプログラムをRAM 13またはHDD 14に記憶させる切り分け手段としてコンピュータ1を機能させるプログラムである。

20 このコンパイラプログラム32は、RAM 13またはHDD 14に記憶されたハードウェア部分の高級言語のプログラムを回路仕様に変換する第1の変換手段としてコンピュータ1を機能させるプログラムである。

このコンパイラプログラム33およびリンカプログラム34は、RA

M 1 3 または H D D 1 4 に記憶されたソフトウェア部分の高級言語のプログラムを実行形式モジュールに変換する第 2 の変換手段としてコンピュータ 1 を機能させるプログラムである。

5 なお、このうちのコンパイラプログラム 3 3 は、R A M 1 3 または H D D 1 4 に記憶されたソフトウェア部分のプログラムをオブジェクトモジュールに変換するためのプログラムであり、リンカプログラム 3 4 は、そのオブジェクトモジュールから実行形式モジュールを生成したり、あるいはそのオブジェクトモジュールおよび図示せぬライブラリや他のオブジェクトモジュールをリンクして、実行形式モジュールを生成したり
10 するためのプログラムである。

 この検証プログラム 3 5 は、システムの論理仕様に対応する検証仕様に基づいて生成され、コンパイラプログラム 3 2 により変換された回路仕様に基づく回路およびコンパイラプログラム 3 3 およびリンカプログラム 3 4 により変換された実行形式モジュールの動作を検証する検証手段としてコンピュータ 1 を機能させるためのプログラムである。
15

 さらに、インターフェース 1 5 は、H D D 1 4 との間でデータの授受を行う回路である。

 さらに、描画回路 1 6 は、供給されるデータに応じてディスプレイ 2 に画像信号を供給して画像を表示させる回路である。

20 さらに、インターフェース 1 7 は、入力装置 3 からの信号を取得する回路である。

 さらに、インターフェース 1 8 は、図示せぬ外部装置との間でデータの授受を行う回路である。

25 次に、このシステム開発支援装置としてのコンピュータ 1 の動作について説明する。第 2 図は、第 1 図に示すシステム開発支援装置の動作に

ついて説明するフローチャートである。

まず、システム開発者により例えばC言語といった単一の高級言語で作成された、システムを記述したプログラムが、例えばHDD 14やRAM 13に用意される。

- 5 また、システム開発者により、プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報が例えばHDD 14やRAM 13に用意される（ステップS1）。

- なお、切り分け情報には、例えば、所定の機能ブロック（システムにおいて所定の機能を実現する1または複数のルーチンで構成される群）
10 ごとに、その部分をハードウェアとして実現するか、あるいはソフトウェアとして実現するかを指定する情報が含まれる。また、ハードウェアおよびソフトウェアのいずれでもよい場合には、その旨を指定するか、あるいは特に何も指定しないようにする。なお、この切り分け情報をHDD 14などには記憶させずに、システム開発支援プログラム21の実行時に、パラメータとして与えるようにしてもよい。
15

そして、システム開発者の操作に応じて、またはシステム開発支援プログラム21の実行時に自動的に、CPU 11は、システム開発支援プログラム21のうちの切り分けプログラム31を実行する。

- CPU 11は、切り分けプログラム31に従って、単一の高級言語で
20 システムが記述されたプログラム（以下、目標プログラムという）を読み込み（ステップS2）、切り分け情報を参照して、その目標プログラムの各部分を、ハードウェア部分およびソフトウェア部分のいずれかに振り分ける（ステップS3）。

- この際、例えば、その目標プログラムにおける各機能ブロックが、
25 ハードウェア部分およびソフトウェア部分のいずれかに振り分けられる。機能ブロックごとに目標プログラムを切り分ける場合、例えば、処理速

度が要求される機能を実現する機能ブロックなどがハードウェア部分に割り振られる。

例えば、目標プログラムを作成する前、すなわち基本仕様において、実現する各機能とその機能ブロックの名前との関係を決めておき、その機能ブロックの名前のルーチン内で、その機能ブロックで実現する機能に関するプログラムを記述して目標プログラムを作成する。そして、切り分け情報には、その機能ブロックごとに、その機能ブロックの名前とハードウェア部分かソフトウェア部分かを指定する情報（以下、指定情報という）との組が設定される。これにより、CPU 11は、切り分けプログラム 31に従って、切り分け情報に設定されている機能ブロックの名前と同一の名前のルーチンを発見すると、切り分け情報中のその機能ブロックの名前についての指定情報に基づいて、その機能ブロックのルーチンをハードウェア部分かソフトウェア部分かに振り分ける。

なお、ここでは、一例として、機能ブロック単位で目標プログラムを切り分ける例を示したが、目標プログラムを他の単位で切り分けてもよいし、切り分ける方法についても他の方法でもよい。

CPU 11は、切り分けプログラム 31に従って、このように切り分けたハードウェア部分のプログラム（すなわち、ハードウェアとして実現される1または複数のルーチン）のファイル、およびソフトウェア部分のプログラム（すなわち、ソフトウェアとして実現される1または複数のルーチン）のファイルを、RAM 13に記憶させたり、HDD 14に格納させたりする。

次に、CPU 11は、コンパイラプログラム 32を実行する。CPU 11は、コンパイラプログラム 32に従って、ハードウェア部分の高級言語のプログラムを、RTLなどの回路仕様に対応した言語のプログラムにコンパイルする（ステップ S4）。この回路仕様に対応した言語のプ

ログラムは、一旦、RAM 13 または HDD 14 に記憶される。

このハードウェア部分のコンパイルの際には、使用されるゲートアレイの種類、ゲート数の上限、ICチップ作成の際に使用するプロセスの種類、ICチップ量産時のテスト回路の種類（このテスト回路の種類によりICチップのピン配置が制限される）などのハードウェア条件がコン
5 パイラ条件として参照される。このハードウェア条件は、コンパイラプログラム 32 実行時にシステム開発者が入力するようにしてもよいし、予め、ファイルなどに記述しておくようにしてもよい。

また、この際、必要に応じて、各プログラム部分間の信号の授受の関
10 係の情報などの制約条件をファイルなどに別途記述しておくようにしてもよい。その場合、CPU 11 は、コンパイラプログラム 32 に従って、ハードウェア部分とソフトウェア部分との境界における信号の授受の関係などの制約条件を満足する回路仕様のプログラムを生成する。

さらに、CPU 11 は、コンパイラプログラム 33 を実行する。CPU
15 U 11 は、コンパイラプログラム 33 に従って、ソフトウェア部分の高級言語のプログラムをオブジェクトモジュールにコンパイルする（ステップ S 5）。

このソフトウェア部分のコンパイルの際には、使用されるCPUコアの種類、最適化オプションなどのコンパイル条件が参照される。このコ
20 ンパイル条件は、コンパイラプログラム 33 実行時にシステム開発者が入力するようにしてもよいし、予め、ファイルなどに記述しておくようにしてもよい。

この際、必要に応じて、各プログラム部分間の信号の授受の関係の情報などの制約条件をファイルなどに別途記述しておくようにしてもよい。
25 その場合、CPU 11 は、コンパイラプログラム 33 に従って、ハードウェア部分とソフトウェア部分との境界における信号の授受の関係など

の制約条件を満足するように、例えばソフトウェア部分のプログラムを適宜修正して、オブジェクトモジュールを生成する。

その後、CPU 11は、リンカプログラム34を実行する。CPU 11は、リンカプログラム34に従って、目標プログラムのソフトウェア
5 部分のオブジェクトモジュールと、図示せぬライブラリに登録されているモジュール、その他のオブジェクトモジュールをリンクして、実行形式モジュールを生成する（ステップS6）。

なお、ここでは、ハードウェア部分のプログラムをコンパイルした後に、ソフトウェア部分のプログラムをコンパイルし、リンクしているが、
10 先に、ソフトウェア部分のプログラムをコンパイルし、リンクした後に、ハードウェア部分のプログラムをコンパイルするようにしてもよい。また、ハードウェア部分のプログラムのコンパイルと、ソフトウェア部分のプログラムのコンパイルおよびリンクとを並行して実行するようにしてもよい。

15 このようにして、ハードウェア部分とソフトウェア部分とが混在したシステム全体の論理が生成される。この論理の検証のために、ハードウェア部分の回路仕様が具体化される。この際の具体化としては、例えば、ハードウェア部分の回路仕様に基づいてその回路をシミュレートするシミュレータプログラムや、論理の再構築が可能なゲートアレイなどで試
20 作した回路が挙げられる。シミュレータプログラムを用いる場合には、CPU 11がそのシミュレータプログラムに従って、RAM 13やHDD 14に記憶された回路仕様に基づいて、回路のシミュレーションを実行する。また、試作回路を用いる場合には、その回路をインターフェース18を介して接続する。

25 そして、CPU 11は、検証プログラム35を実行する。CPU 11は、検証プログラム35に従って、ハードウェア部分とソフトウェア部

分とが混在して生成されたシステム全体の論理に対して、各種入力を行い、そのときの各部位における論理、すなわち信号の挙動、出力、結果などを取得し、その入力と挙動、出力、結果などとの関係が所定の条件を満たしているか否かを判断して、システム全体の論理を検証する（ステップS7）。

なお、検証プログラム35に従って、CPU11が、この検証の結果をディスプレイ2に表示したり、図示せぬプリンタに印刷させたりするようにしてもよい。

次に、実施の形態1のシステム開発支援装置を使用した場合のシステムの開発の手順について説明する。第3図は、実施の形態1のシステム開発支援装置を使用した場合のシステムの開発の手順について説明するフローチャートである。

実施の形態1のシステム開発支援装置を使用してシステム開発を行う場合、第3図に示すように、まず、システム開発者により基本仕様が設計される（ステップS21）。この基本仕様としては、各種機能の仕様のみが決定される。すなわち、この基本仕様では、ハードウェアとして実現する部分およびソフトウェアとして実現する部分の指定、並びに、使用するCPUコア、ゲートアレイの種類などは、原則として決定されない。ただし、デフォルトとして、これらについて典型的なものを仮に定めておくようにしてもよい。

次に、システム開発者により、論理仕様が、その基本仕様から、単一の高級言語で記述された目標プログラムとして設計される（ステップS22）。

また、システム開発者による手操作で、あるいは、システムが搭載される電子機器のハードウェア（メモリ容量、ゲート数など）の条件など

に基づいて自動的に、その目標プログラムに対する、最初の切り分け情報が設定される（ステップ S 2 3）。

そして、システム開発支援プログラム 2 1 が実行されると、コンピュータ 1 が上述のように動作し、システム全体の論理が生成され、その論理についての検証結果が得られる（ステップ S 2 4）。

次に、この検証結果に基づいて、システム開発者は、検証結果が良好か否かを判断する（ステップ S 2 5）。そして、その検証結果が良好である場合には、設計されたそのシステムを具体化した I C チップの作成が行われる（ステップ S 2 6）。

一方、その検証結果が良好ではない場合には、システム開発者により、切り分け情報が変更されたり、論理仕様が変更されたり、場合によっては基本仕様に変更されたりする。そして、良好な検証結果が得られるまで、上述と同様に処理を繰り返す。

以上のように、上記実施の形態 1 によれば、システム開発支援プログラム 2 1 に従って、コンピュータ 1 が、切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されている目標プログラムをハードウェア部分とソフトウェア部分とに切り分け、そのハードウェア部分のプログラムを回路仕様に変換するとともに、そのソフトウェア部分のプログラムを実行形式モジュールに変換する。これにより、ハードウェア部分とソフトウェア部分とが混在するシステムの完成までの時間を短縮することができる。

すなわち、設計変更の際には、単一の言語で記述された目標プログラム、および切り分け情報を修正すればよいため、ハードウェア開発者とソフトウェア開発者との協調がほとんど必要なくなり、開発効率が向上する。

また、高度な知識を有する熟練者が基本仕様に関わる割合を減らすことが可能であり、開発者の人材活用の効率も向上する。

さらに、上記実施の形態 1 によれば、切り分けプログラム 3 1 に従って、コンピュータ 1 が、切り分け情報に基づいて、目標プログラムの機能ブロックごとに、ハードウェアとして実装する部分であるか、ソフトウェアとして実装する部分であるかを決定するようにしたので、ハードウェアとして実装する部分と、ソフトウェアとして実装する部分とを適切に切り分けることができる。すなわち、機能ブロックごとに切り分けることで、例えば動作速度を要求される機能のルーチン群が一括してハードウェアとして実装され、逆に、ソフトウェアとして実現したほうが好ましい機能のルーチン群が一括してソフトウェアとして実装される。

さらに、上記実施の形態 1 によれば、検証プログラム 3 5 に従って、コンピュータ 1 が、ハードウェア部分に対応する回路仕様に基づく回路、およびソフトウェア部分に対応する実行形式モジュールの動作を検証する。これにより、論理仕様を記述した目標プログラムから生成されたシステムの論理全体が一括して検証され、ハードウェア部分およびソフトウェア部分のそれぞれの動作検証に加え、両者の協調に基づく動作についての検証をも行うことができる。

実施の形態 2 .

本発明の実施の形態 2 に係るシステム開発支援装置は、実施の形態 1 に係るシステム開発支援装置のシステム開発支援プログラム 2 1 に、システムの仕様に基づいて切り分け情報を生成する切り分け情報生成プログラム 3 6 を追加したものである。

第 4 図は、本発明の実施の形態 2 に係るシステム開発支援装置の構成を示すブロック図である。第 4 図において、システム開発支援プログラム 2 1 A は、実施の形態 1 のシステム開発支援プログラム 2 1 に、システムの仕様に基づいて切り分け情報を生成する切り分け情報生成プログラム 3 6 を追加したものである。

この切り分け情報生成プログラム 3 6 は、システムの仕様に基づいて切り分け情報を生成する切り分け情報生成手段としてコンピュータ 1 A を機能させるためのプログラムである。

なお、第 4 図におけるその他の構成要素については、実施の形態 1 におけるものと同様であるので、その説明を省略する。

次に、上記装置の動作について説明する。

この切り分け情報生成プログラム 3 6 は、最初の切り分け情報を生成する際、あるいは、切り分け情報を変更する際に、CPU 1 1 により実行される。

その場合、CPU 1 1 は、切り分け情報生成プログラム 3 6 に従って、予め定められているシステムの仕様に基づいて切り分け情報を生成する。

例えば、CPU 1 1 は、切り分け情報生成プログラム 3 6 に従って、システムが実現される IC のチップサイズ、システムにおいて実行形式モジュールが記憶されるメモリ（ROM 1 1 3 やフラッシュ ROM 1 1 5）の容量、システムにおいて回路仕様に基づく回路が実行されるゲートアレイ 1 1 7 のゲート数などのシステムの仕様に基づいて切り分け情報を生成する。

あるいは、例えば、CPU 1 1 は、切り分け情報生成プログラム 3 6 に従って、そのチップサイズ、メモリの容量およびゲート数、並びに、システムにおいて使用される CPU コアの種類、システムにおいて使用

されるDSPの機能、使用可能なハードウェアマクロおよび使用可能なソフトウェアマクロの少なくとも1つに基づいて、切り分け情報を生成する。

すなわち、切り分け情報生成プログラム36には、上述のシステムの仕様のパラメータ（チップサイズなど）の値と、目標プログラムの所定の部分あるいは機能ブロックについての実現方式（ハードウェアまたはソフトウェア）との関係の知識が予め内蔵され、その知識に基づいて、システムの仕様から切り分け情報が生成される。

なお、その他の動作については実施の形態1と同様であるので、その説明を省略する。また、この実施の形態2では、実施の形態1に切り分け情報生成プログラム36を追加して切り分け情報を自動生成するようにしたが、他の実施の形態に切り分け情報生成プログラム36を追加して切り分け情報を自動生成することも勿論可能である。

15 以上のように、上記実施の形態2によれば、切り分け情報生成プログラム36に従って、コンピュータ1Aが、システムの仕様に基づいて切り分け情報を生成する。これにより、システム開発者が熟練者でなくても適切な切り分け情報を生成することができる。

また、上記実施の形態2によれば、切り分け情報生成プログラム36
20 に従って、コンピュータ1Aが、システムにおいて実行形式モジュールが記憶されるメモリの容量、およびシステムにおいて回路仕様に基づく回路が実行されるゲートアレイのゲート数に基づいて、あるいは、メモリの容量およびゲート数とともに、システムにおいて使用されるCPUコアの種類、システムにおいて使用されるDSPの機能、使用可能なハードウェアマクロおよび使用可能なソフトウェアマクロの少なくとも1
25 つに基づいて、切り分け情報を生成する。これにより、システムの仕様

におけるこれらのパラメータに基づいて切り分け情報を生成することで、より適切な切り分け情報を生成することができる。

実施の形態 3.

- 5 本発明の実施の形態 3 に係るシステム開発支援装置は、実施の形態 1 に係るシステム開発支援装置のシステム開発支援プログラム 2 1 に、検証プログラム 3 5 による検証結果に応じて、切り分け情報などを変更して検証結果を最適化する最適化プログラム 5 1 を追加したものである。

- 10 第 5 図は、本発明の実施の形態 3 に係るシステム開発支援装置の構成を示すブロック図である。第 5 図において、システム開発支援プログラム 2 1 B は、実施の形態 1 のシステム開発支援プログラム 2 1 に、検証プログラム 3 5 による検証結果に応じて、切り分け情報などを変更して検証結果を最適化する最適化プログラム 5 1 を追加したものである。

- 15 なお、この最適化プログラム 5 1 は、検証プログラム 3 5 による検証結果に応じて、切り分け情報を変更する切り分け情報変更手段としてコンピュータ 1 B を機能させるためのプログラムである。

- 20 また、この最適化プログラム 5 1 は、検証プログラム 3 5 による検証結果に応じて、ハードウェア部分とソフトウェア部分との比率を変更する切り分け情報変更手段としてコンピュータ 1 B を機能させるためのプログラムである。

さらに、この最適化プログラム 5 1 は、検証プログラム 3 5 による検証結果に応じて、システムのハードウェア条件を変更する第 1 の条件変更手段としてコンピュータ 1 B を機能させるためのプログラムである。

- 25 さらに、この最適化プログラム 5 1 は、検証プログラム 3 5 による検証結果に応じて、コンパイラプログラム 3 3 によりソフトウェア部分のプログラムを実行形式モジュールに変換する際のコンパイル条件を変更

する第 2 の条件変更手段としてコンピュータ 1 B を機能させるためのプログラムである。

さらに、この最適化プログラム 5 1 は、所定の検証結果が得られるまで、あるいは、所定の反復回数だけ、切り分け情報、ハードウェア部分
5 のプログラムを回路仕様に変換する際のハードウェア条件、およびソフトウェア部分のプログラムを実行形式モジュールに変換する際のコンパイル条件のうちの少なくとも 1 つを変更しつつ、切り分けプログラム 3 1、コンパイラプログラム 3 2、コンパイラプログラム 3 3、リンカプログラム 3 4 および検証プログラム 3 5 を繰り返し実行させる最適化手段
10 としてコンピュータ 1 B を機能させるためのプログラムである。

なお、第 5 図におけるその他の構成要素については、実施の形態 1 におけるものと同様であるので、その説明を省略する。

次に、上記装置の動作について説明する。第 6 図は、第 5 図に示すシステム開発支援装置の動作について説明するフローチャートである。
15

このシステム開発支援装置は、システム開発支援プログラム 2 1 B に従って、実施の形態 1 と同様にして、システム全体の論理を生成し、その論理の検証を行う（ステップ S 1 ～ S 7）。

次に、CPU 1 1 は、最適化プログラム 5 1 を実行する。

20 まず、CPU 1 1 は、最適化プログラム 5 1 に従って、検証結果が所定の条件を満足するか否かを判断する（ステップ S 4 1）。

この際、例えば、各種信号の遅延時間が所定の値以内であるか、動作検証した機能の結果が所望のものになったかなどが判断される。

検証結果が所定の条件を満足すると判断した場合、CPU 1 1 は、最適化プログラム 5 1 に従って、システムの回路仕様の設計を終了する。
25

一方、検証結果が所定の条件を満足しないと判断した場合、CPU 1

1 は、最適化プログラム 5 1 に従って、切り分け情報、ハードウェアのコンパイル条件、ソフトウェアのコンパイル条件などが所定の回数だけ変更されたか否かを判断する（ステップ S 4 2）。

5 このとき、所定の回数だけ、切り分け情報、ハードウェアのコンパイル条件、ソフトウェアのコンパイル条件などが変更されたと判断した場合にも CPU 1 1 は、最適化プログラム 5 1 に従って、システムの回路仕様の自動設計を終了する。

一方、所定の回数だけ、まだ切り分け情報、ハードウェアのコンパイル条件、ソフトウェアのコンパイル条件などが変更されていないと判断した場合には、CPU 1 1 は、最適化プログラム 5 1 に従って、切り分け情報、ハードウェアのコンパイル条件、およびソフトウェアのコンパイル条件のうちの少なくとも 1 つを変更する（ステップ S 4 3 ～ S 4 8）。

まず、CPU 1 1 は、最適化プログラム 5 1 に従って、検証結果に基づいて、切り分け情報を変更するか否かを判断し（ステップ S 4 3）、必要に応じて切り分け情報を変更する（ステップ S 4 4）。

例えば、検証の結果、あるソフトウェア部分のルーチンまたは機能ブロックの処理速度が遅いためにシステムが動作不良となった場合には、ゲートアレイのゲート数に余裕があれば、そのルーチンまたは機能ブロックはハードウェア部分に変更される。また、その場合に、ゲートアレイのゲート数に余裕がないときには、ハードウェア部分のルーチンまたは機能ブロックのうちソフトウェア部分へ変更可能なものがソフトウェア部分へ変更されるとともに、その動作不良の原因になっているソフトウェア部分のルーチンまたは機能ブロックがハードウェア部分に変更される。なお、ゲートアレイの残余ゲート数は、実装可能ゲート数から、
25 コンパイル後の現時点でのハードウェア部分に対するゲート数を減算すれば得られる。

また、例えば、コンパイル後の現時点でのハードウェア部分に対するゲート数が実装可能ゲート数を超えている場合には、いずれかのハードウェア部分のルーチンまたは機能ブロックがソフトウェア部分に変更される。この際、ソフトウェア部分に変更するルーチンまたは機能ブロックの選択は、システム開発者が行ってもよいし、そのルーチンまたは機能ブロックに対するゲート数などに応じて自動的に最適化プログラム 51 に従って自動的に行われるようにしてもよい。

このように、この場合、CPU 11 は、最適化プログラム 51 に従って、検証結果に応じて、ハードウェア部分とソフトウェア部分との比率を変更する。

次に、CPU 11 は、最適化プログラム 51 に従って、検証結果に基づいて、ハードウェア部分のコンパイル条件、すなわちハードウェア条件を変更するか否かを判断し（ステップ S 45）、必要に応じてハードウェア部分のコンパイル条件を変更する（ステップ S 46）。

例えば、ハードウェア部分からソフトウェア部分への信号の入出力タイミングが合っていないことにより、ソフトウェア部分に動作不良が発生している場合には、信号を遅延させたりして、ハードウェア部分からソフトウェア部分への信号の入出力タイミングが変更される。

次に、CPU 11 は、最適化プログラム 51 に従って、検証結果に基づいて、ソフトウェア部分のコンパイル条件を変更するか否かを判断し（ステップ S 47）、必要に応じてソフトウェア部分のコンパイル条件を変更する（ステップ S 48）。

例えば、検証結果に応じて、システムにおいて使用される CPU コアの種類が変更される。ソフトウェア部分のうちの大部分のルーチンまたは機能ブロックの動作が遅い場合には、CPU コアが処理速度の高いものに変更される。この際、実装可能な CPU コアの種類および性能を予

め列挙しておく。そして、それらの中から、最適化プログラム 5 1 に従って CPU コアが適宜選択される。

また、例えば、検証結果に応じて、コンパイル時の最適化オプションが変更される。最適化オプションとしては、サイズ重視のオプション、
5 速度重視のオプションなどがある。

このように切り分け情報、ハードウェア条件、およびソフトウェアのコンパイル条件のうちの少なくとも 1 つが変更される。

なお、切り分け情報、ハードウェア条件、およびソフトウェアのコンパイル条件のいずれを変更するかは、反復回数などに応じて決定するようにしてもよい。すなわち、例えば、まず最初の所定回においては、
10 ハードウェア条件およびソフトウェアのコンパイル条件のみを変更し、その後、切り分け情報のみを変更したりしてもよい。

このようにして、切り分け情報、ハードウェア条件、およびソフトウェアのコンパイル条件のうちの少なくとも 1 つが変更された後、再度、
15 論理仕様を記述したプログラムに対して切り分け処理が行われ、切り分けられたハードウェア部分およびソフトウェア部分がそれぞれ処理され、システム全体の論理が生成される。

そして、ステップ S 4 1 で検証結果が所定の条件を満足すると判断されるか、あるいは、ステップ S 4 2 でこの反復処理の回数が所定の回数
20 に達したと判断されるまで、この処理が反復して行われる。

次に、実施の形態 3 のシステム開発支援装置を使用した場合のシステムの開発の手順について説明する。実施の形態 3 のシステム開発支援装置を使用した場合のシステムの開発の手順は、実施の形態 1 の場合（第
25 3 図）と同様になる。ただし、実施の形態 3 では、最適化処理を行うことで、システム開発者による切り分け情報の設定／変更の頻度は減少す

る。

また、例えば、切り分け情報、コンパイル条件などの変更を、最初の所定の回数だけ、システム開発者による手作業で行い、その後、上述のような最適化プログラム 5 1 による自動で行うようにしてもよい。

- 5 また、切り分け情報、コンパイル条件などの変更を、検出結果におけるエラーの数が所定の数以下に減少するまでシステム開発者による手作業で行い、その後、上述のような最適化プログラム 5 1 による自動で行うようにしてもよい。

このようにして、効率的にシステムを開発することができる。

10

以上のように、上記実施の形態 3 によれば、最適化プログラム 5 1 に従って、コンピュータ 1 B は、検証プログラム 3 5 による検証結果に応じて、所定の検証結果が得られるまで、あるいは、所定の反復回数だけ、切り分け情報、ハードウェアの条件、およびソフトウェアのコンパイル
15 条件のうちの少なくとも 1 つを変更しつつ、目標プログラムに基づくシステムの論理全体の生成を反復する。これにより、システム開発者による切り分け情報の設定／変更の頻度が減少し、特に希少な熟練者の作業量を低減することができるとともに、システムの開発に要する時間をより短くすることができる。

20

さらに、上記実施の形態 3 によれば、最適化プログラム 5 1 に従って、コンピュータ 1 B は、検証プログラム 3 5 による検証結果に応じて、切り分け情報を変更する。これにより、システム開発者による切り分け情報の設定／変更の頻度が減少し、特に希少な熟練者の作業量を低減する
25 ことができるとともに、システムの開発に要する時間をより短くすることができる。

さらに、上記実施の形態 3 によれば、最適化プログラム 51 に従って、コンピュータ 1B は、検証プログラム 35 による検証結果に応じて、ハードウェア部分とソフトウェア部分との比率を変更する。これにより、
5 システムのハードウェア条件（メモリ容量やゲート数など）を特に変更せず、そのハードウェア条件に合致した回路が設計される。

さらに、上記実施の形態 3 によれば、最適化プログラム 51 に従って、コンピュータ 1B は、検証プログラム 35 による検証結果に応じて、ハードウェア部分のコンパイル時に参照されるハードウェア条件を変更する。これにより、システム開発者によるハードウェア条件の変更頻度が減少し、特に希少な熟練者の作業量を低減することができるとともに、システムの開発に要する時間をより短くすることができる。

15 また、この際、コンピュータ 1B は、検証結果に応じて、例えば、ハードウェア部分とソフトウェア部分との間の信号の入出力タイミングを変更する。これにより、ハードウェア部分とソフトウェア部分との間における信号伝達に起因する動作不良を回避することができる。

20 さらに、上記実施の形態 3 によれば、最適化プログラム 51 に従って、コンピュータ 1B は、検証プログラム 35 による検証結果に応じて、ソフトウェア部分のプログラムを実行形式モジュールに変換する際のコンパイル条件を変更する。これにより、システム開発者によるソフトウェアのコンパイル条件の変更頻度が減少し、特に希少な熟練者の作業量を
25 低減することができるとともに、システムの開発に要する時間をより短くすることができる。

また、この際、コンピュータ 1 B は、検証結果に応じて、システムにおいて使用される CPU コアの種類を変更する。これにより、ソフトウェア部分全体の動作速度を調節することができる。

5

なお、上記実施の形態 1 ～ 3 においては、目標プログラムに切り分け情報を明示的に記述せずに、切り分け情報を切り分けプログラム 3 1 に供給するようにしているが、目標プログラムに切り分け情報を明示的に記述し、その切り分け情報に基づいて切り分けプログラム 3 1 が、切り

10 分け処理を行うようにしてもよい。

また、高級言語としては、C 言語の他、C ++ といった C 言語から派生した言語や、C 言語とは全く異なるプログラミング言語を使用するようにしても勿論よい。

さらに、上記実施の形態 1 ～ 3 では、一例として、開発されるシステムが IC チップとして実装される場合について述べたが、IC チップを含む回路基板として実装されるシステムの設計にも適用することができる。

15

20 産業上の利用可能性

本発明によれば、ハードウェア部分とソフトウェア部分とが混在するシステムの完成までの時間の短縮を可能にするためのシステム開発支援装置、システム開発支援方法、およびコンピュータ読み取り可能な記録媒体を得ることができる。

25

請 求 の 範 囲

- 5 1. プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分ける切り分け手段と、

10 上記切り分け手段により切り分けられた上記ハードウェア部分のプログラムおよび上記ソフトウェア部分のプログラムを記憶する記憶手段と、

 上記記憶手段に記憶された上記ハードウェア部分のプログラムを回路仕様に変換する第1の変換手段と、

 上記記憶手段に記憶された上記ソフトウェア部分のプログラムを実行形式モジュールに変換する第2の変換手段と、

- 15 を備えることを特徴とするシステム開発支援装置。

- 20 2. プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分ける切り分け手段と、

 上記切り分け手段により切り分けられた上記ハードウェア部分のプログラムおよび上記ソフトウェア部分のプログラムを記憶する記憶手段と、

 上記記憶手段に記憶された上記ハードウェア部分のプログラムを回路仕様に変換する第1の変換手段と、

- 25 上記記憶手段に記憶された上記ソフトウェア部分のプログラムを実行形式モジュールに変換する第2の変換手段と、

を備え、

上記切り分け手段は、上記切り分け情報に基づいて、上記単一の高級
言語で記述されているプログラムの機能ブロックごとに、ハードウェア
として実装する部分であるか、ソフトウェアとして実装する部分である
5 かを決定すること、

を特徴とするシステム開発支援装置。

3. 前記システムの仕様に基づいて前記切り分け情報を生成する切り分
け情報生成手段を備えることを特徴とする請求の範囲第1項記載のシス
10 テム開発支援装置。

4. 前記システムにおいて前記実行形式モジュールが記憶されるメモリ
の容量、および前記システムにおいて前記回路仕様に基づく回路が実行
されるゲートアレイのゲート数に基づいて、あるいは、上記メモリの容
15 量および上記ゲート数とともに、前記システムにおいて使用されるCP
Uコアの種類、前記システムにおいて使用されるDSPの機能、使用可
能なハードウェアマクロおよび使用可能なソフトウェアマクロの少なく
とも1つに基づいて、前記切り分け情報を生成する切り分け情報生成手
段を備えることを特徴とする請求の範囲第1項記載のシステム開発支援
20 装置。

5. 前記第1の変換手段により変換された回路仕様に基づく回路、およ
び前記第2の変換手段により変換された実行形式モジュールの動作を検
証する検証手段を備えることを特徴とする請求の範囲第1項記載のシス
25 テム開発支援装置。

6. 前記検証手段による検証結果に応じて、前記切り分け情報を変更する切り分け情報変更手段を備えることを特徴とする請求の範囲第5項記載のシステム開発支援装置。

5 7. 前記検証手段による検証結果に応じて、ハードウェア部分とソフトウェア部分との比率を変更する切り分け情報変更手段を備えることを特徴とする請求の範囲第5項記載のシステム開発支援装置。

10 8. 前記検証手段による検証結果に応じて、前記第1の変換手段が前記ハードウェア部分を回路仕様に変換する際に参照するハードウェア条件を変更する第1の条件変更手段を備えることを特徴とする請求の範囲第5項記載のシステム開発支援装置。

15 9. 前記検証手段による検証結果に応じて、前記第1の変換手段が前記ハードウェア部分を回路仕様に変換する際に参照するハードウェア条件を変更する第1の条件変更手段を備え、

上記第1の条件変更手段は、前記検証手段による検証結果に応じて、ハードウェア部分とソフトウェア部分との間の信号の入出力タイミングを変更すること、

20 を特徴とする請求の範囲第5項記載のシステム開発支援装置。

10. 前記検証手段による検証結果に応じて、前記第2の変換手段が前記ソフトウェア部分のプログラムを実行形式モジュールに変換する際のコンパイル条件を変更する第2の条件変更手段を備えることを特徴とする請求の範囲第5項記載のシステム開発支援装置。

25

1 1. 前記検証手段による検証結果に応じて、前記第2の変換手段が前記ソフトウェア部分のプログラムを実行形式モジュールに変換する際のコンパイル条件を変更する第2の条件変更手段を備え、

5 上記第2の条件変更手段は、前記検証手段による検証結果に応じて、前記システムにおいて使用されるCPUコアの種類を変更すること、を特徴とする請求の範囲第5項記載のシステム開発支援装置。

1 2. 所定の検証結果が得られるまで、あるいは、所定の反復回数だけ、前記切り分け情報、前記第1の変換手段が前記ハードウェア部分のプログラムを回路仕様に変換する際のハードウェアの条件、および前記第2
10 の変換手段が前記ソフトウェア部分のプログラムを実行形式モジュールに変換する際のコンパイル条件のうちの少なくとも1つを変更しつつ、前記切り分け手段、前記第1の変換手段、前記第2の変換手段および前記検証手段を繰り返し動作させる最適化手段を備えることを特徴とする
15 請求の範囲第5項記載のシステム開発支援装置。

1 3. プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分けるステップと、
20

上記ハードウェア部分のプログラムを回路仕様に変換するステップと、
上記ソフトウェア部分のプログラムを実行形式モジュールに変換するステップと、

を備えることを特徴とするシステム開発支援方法。

25

1 4. プログラムの各部をハードウェア部分およびソフトウェア部分の

いずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分け、そのハードウェア部分のプログラムおよびそのソフトウェア部分のプログラムを記憶手段に記憶させる切り分け手段、

5 上記記憶手段に記憶された上記ハードウェア部分のプログラムを回路仕様に変換する第 1 の変換手段、並びに、

上記記憶手段に記憶された上記ソフトウェア部分のプログラムを実行形式モジュールに変換する第 2 の変換手段、

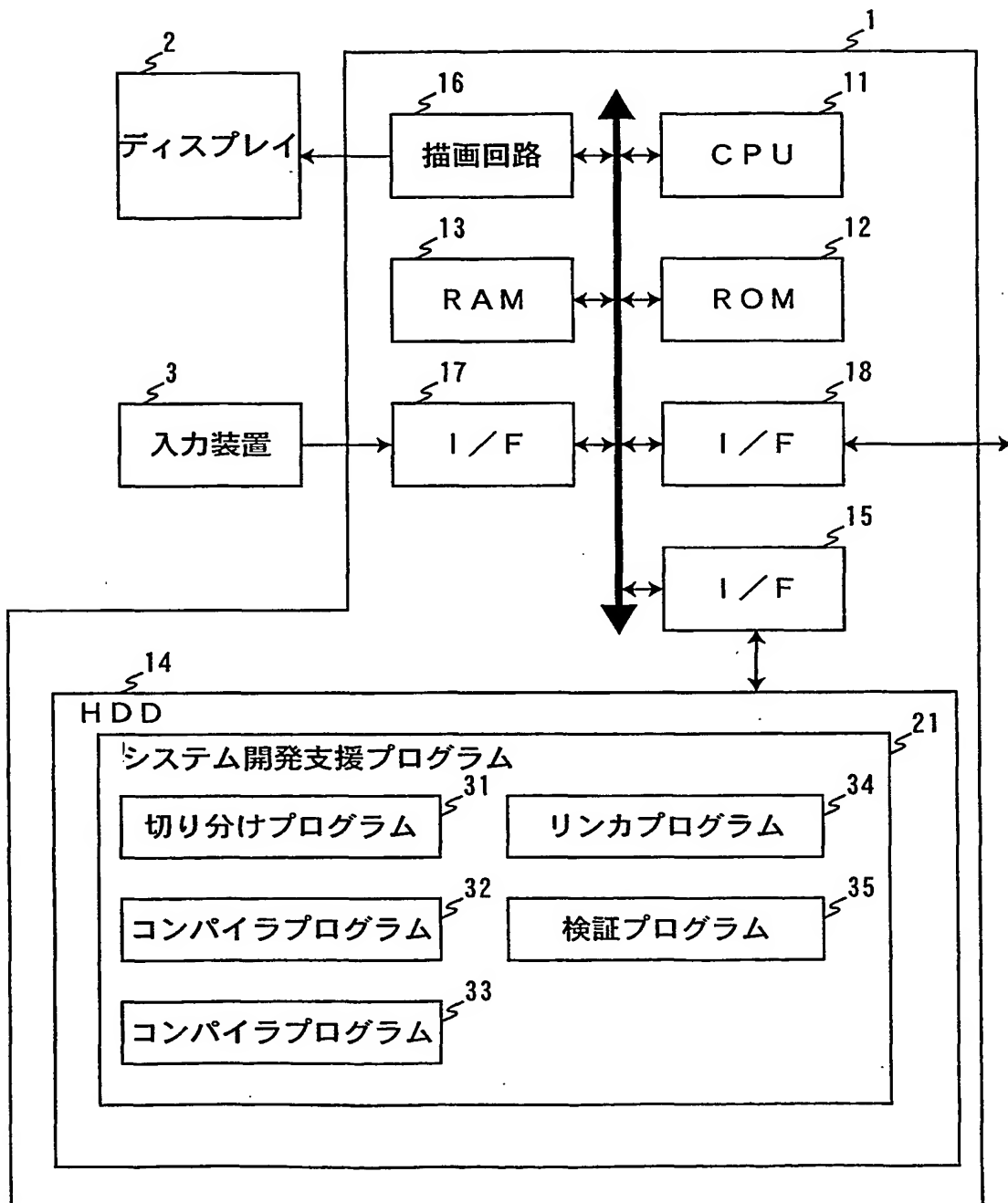
10 としてコンピュータを機能させるためのシステム開発支援プログラムを記録したコンピュータ読み取り可能な記録媒体。

15 15. プログラムの各部をハードウェア部分およびソフトウェア部分のいずれかに指定する切り分け情報に基づいて、システムの論理仕様が単一の高級言語で記述されているプログラムをハードウェア部分とソフトウェア部分とに切り分け、そのハードウェア部分のプログラムおよびそのソフトウェア部分のプログラムを記憶手段に記憶させる切り分け手段としてコンピュータを機能させるための切り分けプログラムを記録したコンピュータ読み取り可能な記録媒体。

THIS PAGE BLANK (USPTO)

1/8

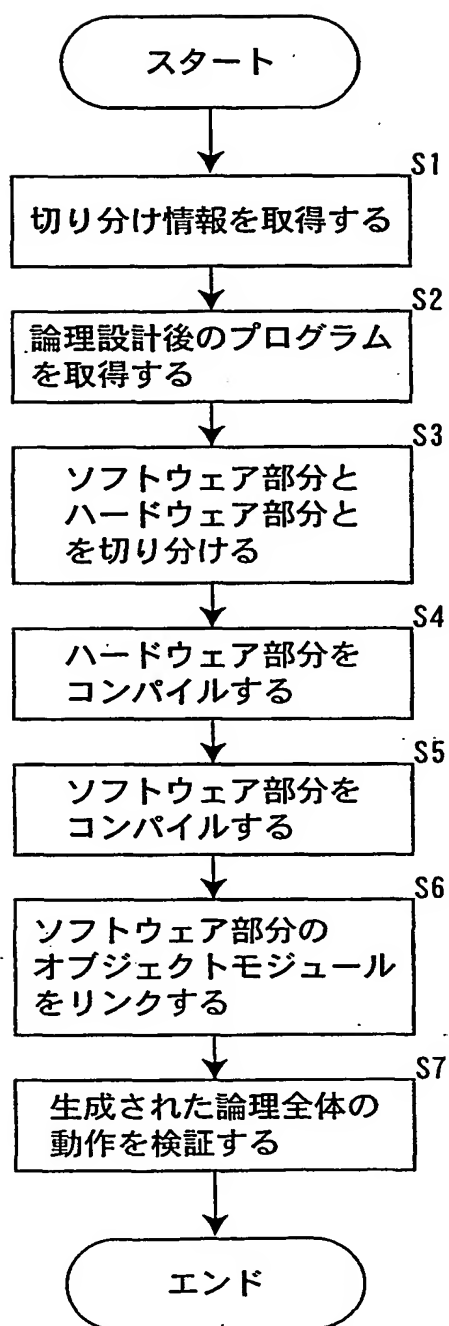
第 1 図



THIS PAGE BLANK (USPTO)

2/8

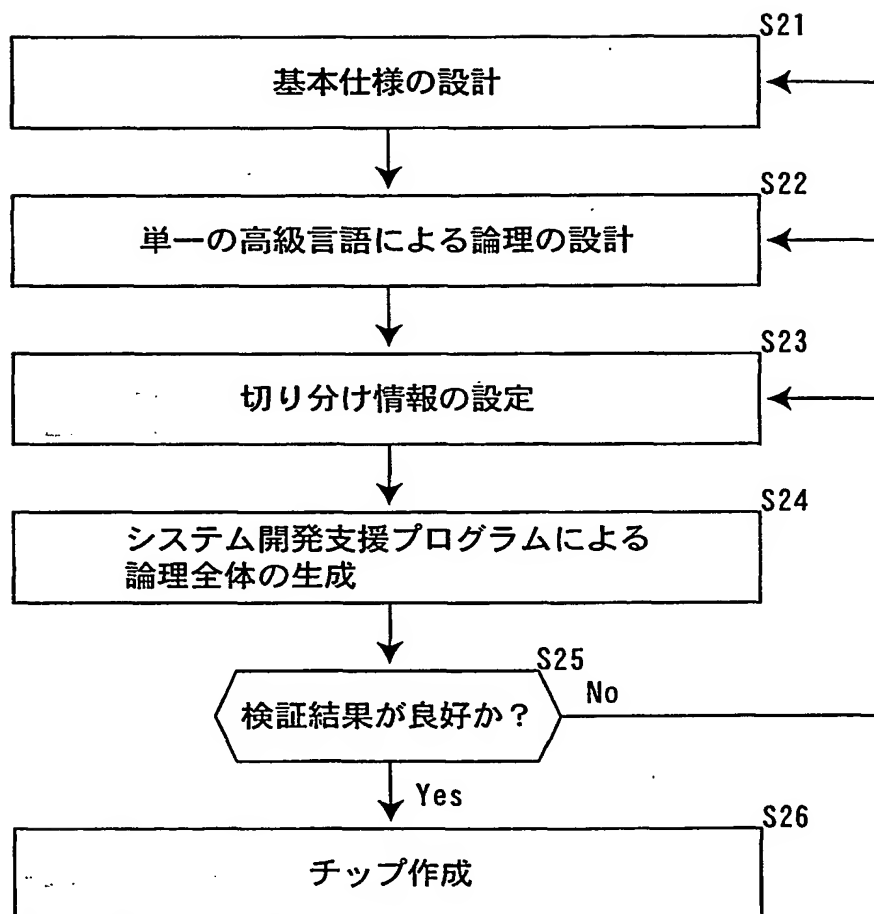
第 2 図



THIS PAGE BLANK (USPTO)

3/8

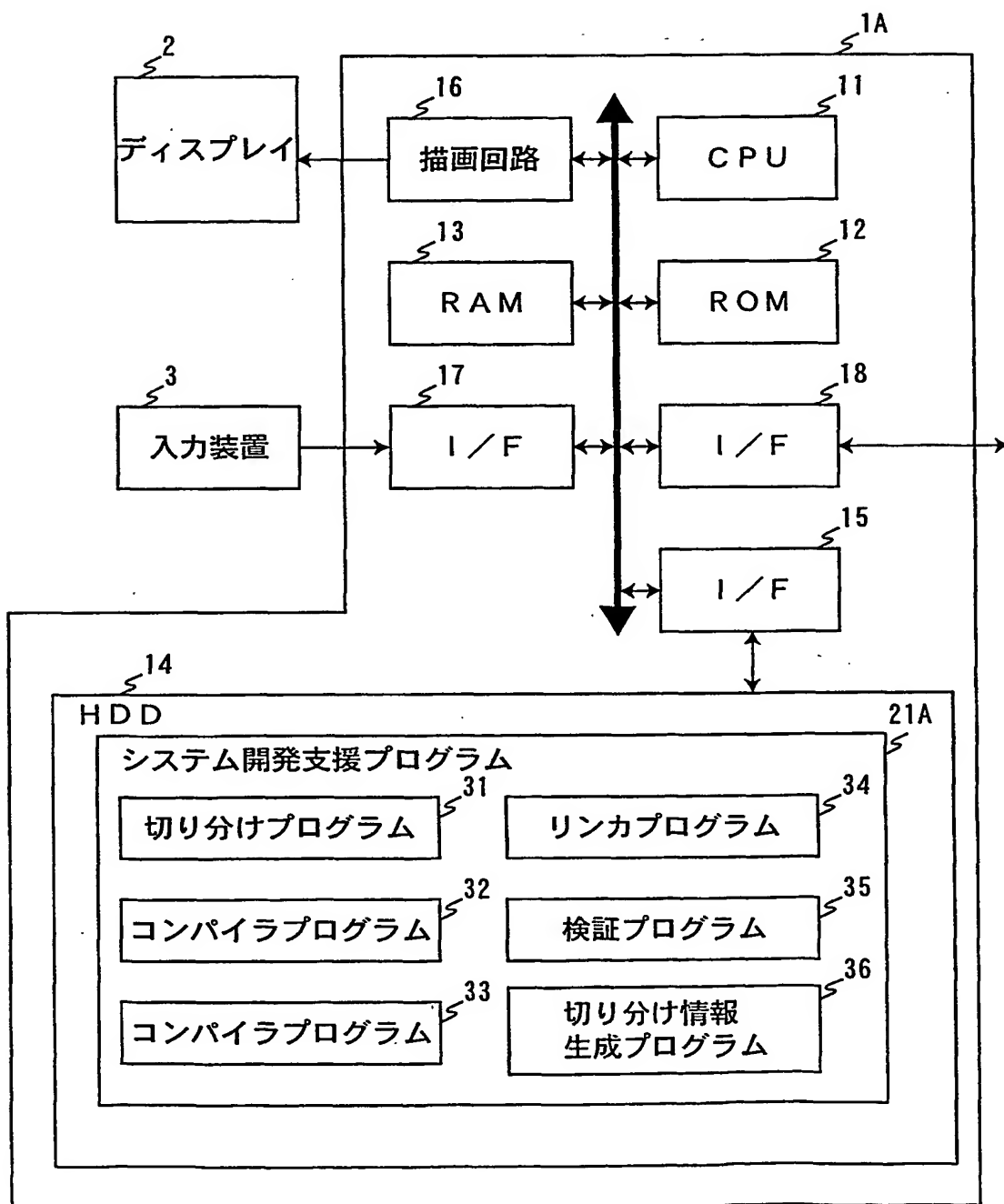
第3図



THIS PAGE BLANK (USPTO)

4/8

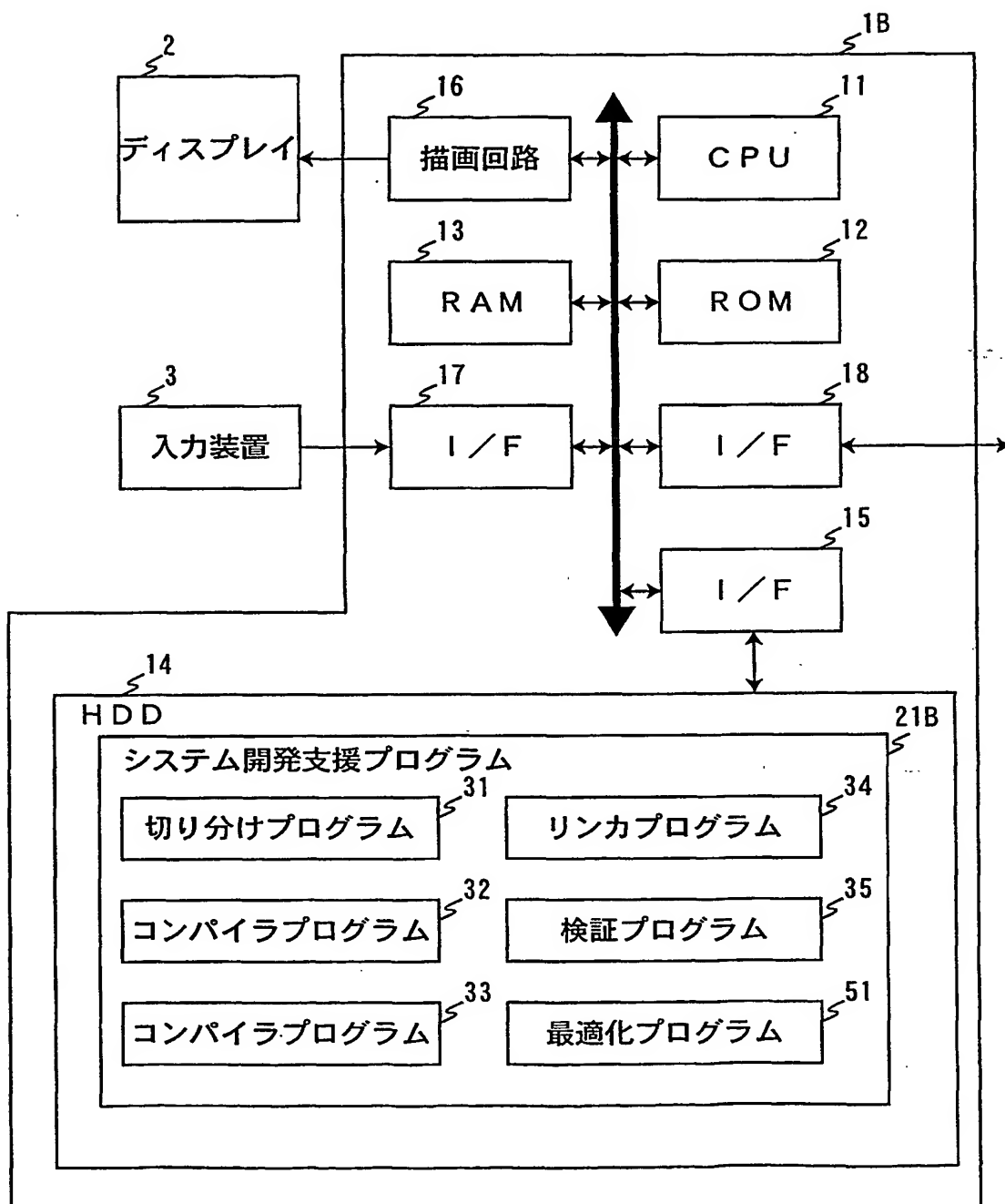
第4図



THIS PAGE BLANK (USPTO)

5/8

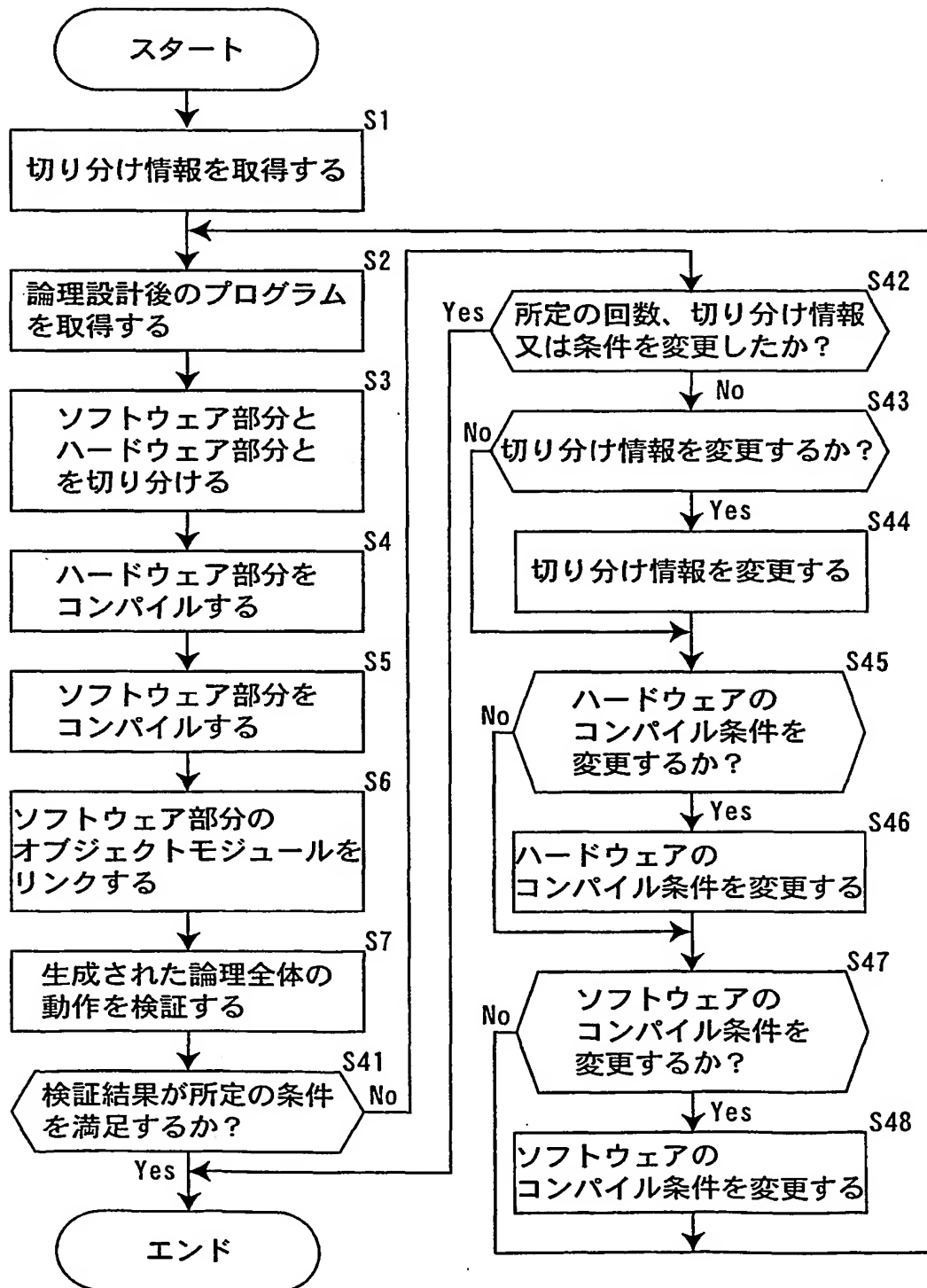
第5図



THIS PAGE BLANK (USPTO)

6/8

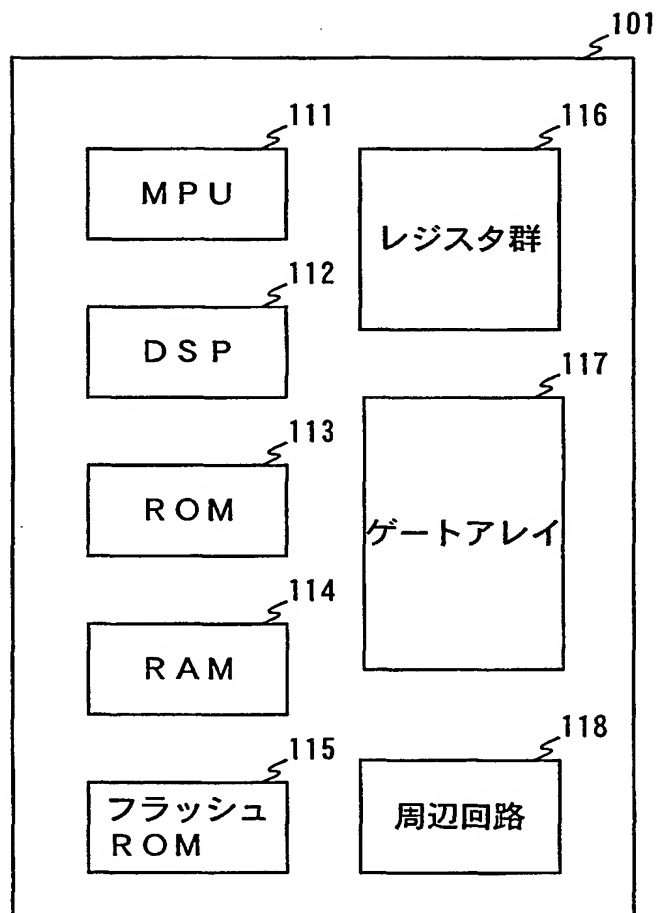
第6図



THIS PAGE BLANK (USPTO)

7/8

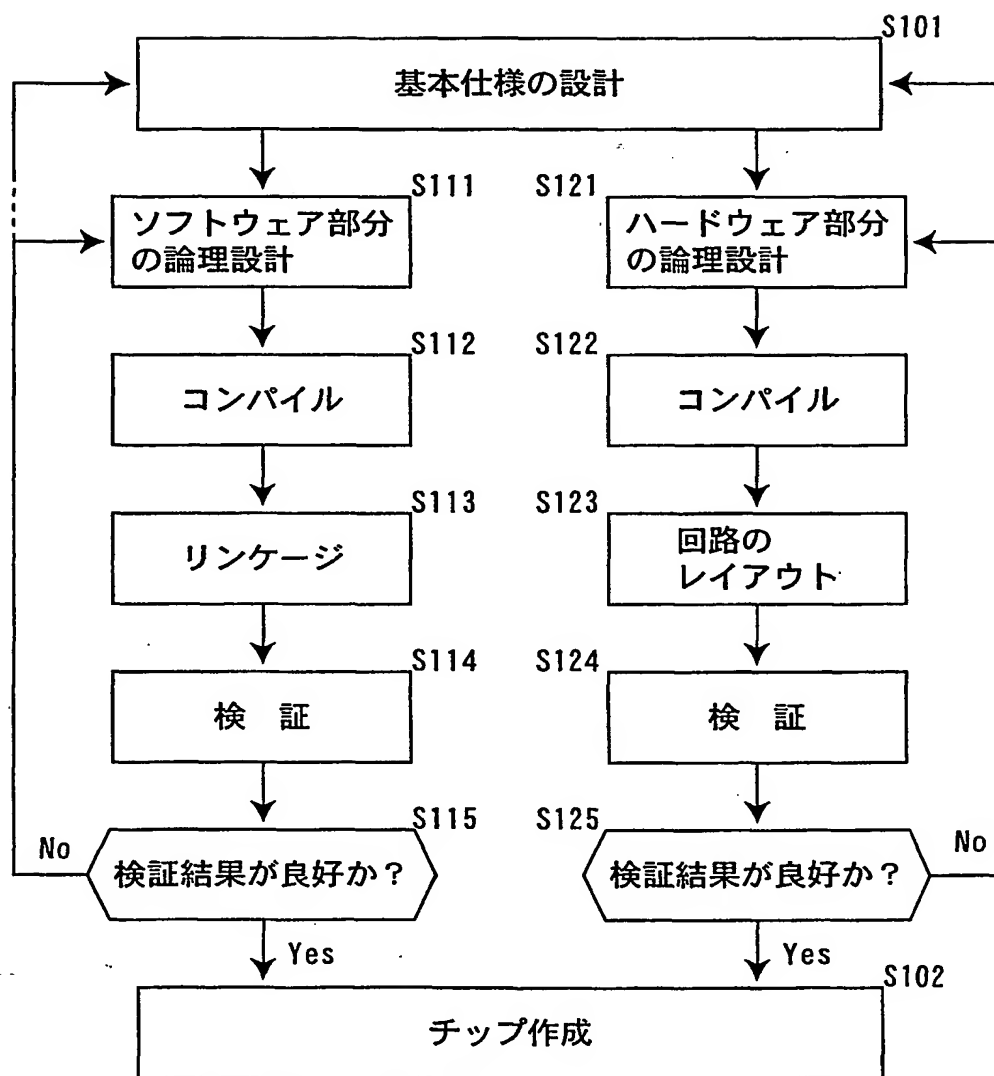
第7図



THIS PAGE BLANK (USPTO)

8/8

第8図



THIS PAGE BLANK (USPTO)

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04533

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F17/50

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F17/50, G06F9/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2001
 Kokai Jitsuyo Shinan Koho 1971-2001 Jitsuyo Shinan Toroku Koho 1996-2001

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP, 11-259553, A (OMRON CORPORATION, et. al.), 24 September, 1999 (24.09.99),	1-8, 12, 14, 15
A	Full text; all drawings (Family: none)	9-11
Y	JP, 9-160949, A (Hitachi, Ltd.), 20 June, 1997 (20.06.97), page 8, left column, line 50 to page 8, right column, line 6	1-8, 12, 14, 15
A	Full text; all drawings (Family: none)	9-11
Y	JP, 9-81604, A (Toshiba Corporation), 28 March, 1997 (28.03.97),	1-8, 12, 14, 15
A	Full text; all drawings (Family: none)	9-11
A	JP, 2000-57199, A (Toshiba Corporation), 25 February, 2000 (25.02.00), Full text; all drawings (Family: none)	9

☐ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:
 "A" document defining the general state of the art which is not considered to be of particular relevance
 "E" earlier document but published on or after the international filing date
 "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
 "O" document referring to an oral disclosure, use, exhibition or other means
 "P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
 "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
 "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
 "&" document member of the same patent family

Date of the actual completion of the international search
 21 June, 2001 (21.06.01)

Date of mailing of the international search report
 03 July, 2001 (03.07.01)

Name and mailing address of the ISA/
 Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/04533

Box I Observations where certain claims were found unsearchable (Continuation of item 1 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☒ Claims Nos.: 13

because they relate to subject matter not required to be searched by this Authority, namely:

The statement of claim 13 lacks the practical use of hardware resources, and the invention of claim 13 relates to mere artificial rules and therefore relates to performance of purely mental acts. Therefore the subject matter is not required to be searched by the International Searching Authority.

2. ☐ Claims Nos.:

because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:

3. ☐ Claims Nos.:

because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box II Observations where unity of invention is lacking (Continuation of item 2 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☐ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

☐

The additional search fees were accompanied by the applicant's protest.

☐

No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06F17/50

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06F17/50, G06F9/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2001年
 日本国登録実用新案公報 1994-2001年
 日本国実用新案登録公報 1996-2001年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP, 11-259553, A (オムロン株式会社, 外1名) 24. 9月. 1999 (24. 09. 99) 全文, 全図 (ファミリーなし)	1-8, 12 14, 15
A		9-11
Y	JP, 9-160949, A (株式会社日立製作所) 20. 6月. 1997 (20. 06. 97) 第8頁左欄第50行~第8頁右欄第6行	1-8, 12 14, 15
A	全文, 全図 (ファミリーなし)	9-11

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日

21. 06. 01

国際調査報告の発送日

03.07.01

国際調査機関の名称及びあて先

日本国特許庁 (ISA/JP)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 後藤 彰

5H 4226

電話番号 03-3581-1101 内線 3531

第Ⅰ欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☒ 請求の範囲 13 は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
請求の範囲13には、ハードウェア資源の具体的な利用についての記載が無いので、請求の範囲13は人為的な取決めにすぎず、純粋に精神的な行為の遂行であって、この国際調査機関が調査をすることを要しない対象に係るものである。
2. ☐ 請求の範囲 は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅱ欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☐ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったため、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったため、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	J P, 9-81604, A (株式会社東芝) 28. 3月. 1997 (28. 03. 97) 全文, 全図 (ファミリーなし)	1-8, 12 14, 15
A		9-11
Y	J P, 2000-57199, A (株式会社東芝) 25. 2月. 2000 (25. 02. 00) 第4頁右欄第31行~第5頁左欄第12行	1, 5, 14 15
A	全文, 全図 (ファミリーなし)	9

THIS PAGE BLANK (USPTO)